

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-208673

(43)Date of publication of application : 26.07.2002

(51)Int.Cl. H01L 25/07
H01L 25/18
H01L 25/065

(21)Application number : 2001-002437

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 10.01.2001

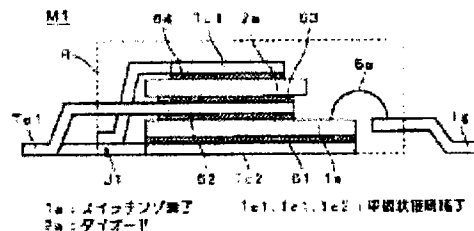
(72)Inventor : ITANI NORITAKA
OTA TATSUO

(54) SEMICONDUCTOR DEVICE AND POWER MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a power module for which the increase in area is suppressed, the increase in time and cost required for manufacture is suppressed, and an inspection matched with the rating of an element is performed in a chip state.

SOLUTION: A semiconductor device is constituted by laminating a chip, where a reflux diode 2a is formed onto the chip mounting a switching element 1a thereon, and by fixing planar connection terminals Te1, Tc1 and Tc2 to the main surfaces of both chips and between both chips. By using a plurality of the semiconductor devices, the power module is constituted. Thus, the increase in the area is suppressed. Also, since the planar connection terminals are adopted, the need for using a bonding wire for connections to both chips is eliminated and the disadvantages of the time and the cost required for the manufactured that the bonding wire has is dissolved. Further, a large current is made to flow to the planar connection terminals Te1 and Tc2, and the inspection matched with the rating of the element is carried out.



(11)特許出願公開番号

特開2002-208673

(P2002-208673A)

(43)公開日 平成14年7月26日(2002.7.26)

(51) Int.Cl.⁷

識別記号

FI

テーマト* (参考)

H O 1 L 25/07
25/18
25/065

H O 1 L 25/04
25/08

C
Z

審査請求 未請求 請求項の数5 O.L (全 11 頁)

(21)出願番号 特願2001-2437(P2001-2437)

(22)出願日 平成13年1月10日(2001.1.10)

(71)出題人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 為谷 典孝

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 太田 達雄

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100089233

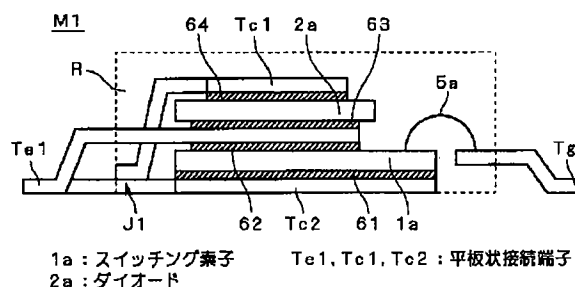
弁理士 吉田 茂明 (外2名)

(54) 【発明の名称】 半導体装置およびパワーモジュール

(57) 【要約】

【課題】 面積の増大が抑制でき、かつ、製造に要する時間およびコストの増大を抑制することが可能で、チップ状態で素子の定格に見合った検査を行うことができるパワーモジュールを提供する。

【解決手段】 還流ダイオード 2 a が形成されたチップをスイッチング素子 1 a が形成されたチップ上に積層し、両チップの主面と両チップ間とに平板状の接続端子 T e 1, T c 1, T c 2 を固着して半導体装置を構成する。そして、この半導体装置を複数用いてパワーモジュールを構成する。これにより、面積の増大が抑制できる。また、平板状接続端子を採用するので、両チップへの接続にボンディングワイヤを用いる必要がなく、ボンディングワイヤの有していた、製造に要する時間およびコストのデメリットが解消される。さらに、平板状接続端子 T e 1, T c 2 に大電流を流して素子の定格に見合った検査が行える。



【特許請求の範囲】

【請求項1】 制御電極、電流入力電極および電流出力電極を有するスイッチング素子が形成され、互いに対向する第1および第2の主面を含む第1のチップと、アノード電極およびカソード電極を有するダイオードが形成され、互いに対向する第1および第2の主面を含み、前記第1のチップ上に積層された第2のチップと、前記第1のチップの前記第1の主面に固着された第1の平板状接続端子と、前記第1および第2のチップ間に挟まれ、前記第1のチップの前記第2の主面と前記第2のチップの前記第1の主面とに固着された第2の平板状接続端子と、前記第1の平板状接続端子に電氣的に接続され、前記第2のチップの前記第2の主面に固着された第3の平板状接続端子とを備える半導体装置。

【請求項2】 請求項1に記載の半導体装置であって、前記第2の平板状接続端子、並びに、前記第1または第3の平板状接続端子は、同一方向に外方へ延在し、その一方は他方よりも長く延在し、前記一方および他方の延在部分が、少なくとも前記他方の延在する長さまでは段違い構造を呈する半導体装置。

【請求項3】 請求項1に記載の半導体装置であって、樹脂封入パッケージと、前記樹脂封入パッケージから外方に露出したヒートシンクとをさらに備える半導体装置。

【請求項4】 回路パターン導体層が形成された基板と、前記基板上に配置された、複数の請求項1ないし請求項3のいずれかに記載の半導体装置とを備え、前記複数の半導体装置のうち2つが一組を構成し、前記一組中において、一方の有する前記スイッチング素子の前記電流出力電極と、他方の有する前記スイッチング素子の前記電流入力電極とが、前記回路パターン導体層および前記第1ないし第3のいずれかの平板状接続端子を介して接続されたパワーモジュール。

【請求項5】 請求項4に記載のパワーモジュールであって、前記一組は複数組存在し、前記複数組中の前記一方の有する前記スイッチング素子の前記電流入力電極が互いに、前記回路パターン導体層および前記第1ないし第3のいずれかの平板状接続端子を介して接続され、前記複数組中の前記他方の有する前記スイッチング素子の前記電流出力電極が互いに、前記回路パターン導体層および前記第1ないし第3のいずれかの平板状接続端子を介して接続されたパワーモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、インバータ回路などを含むパワーモジュールに関する。

【0002】

【従来の技術】例として三相インバータ回路において用いられるパワーモジュールの従来例を、図9～図11に示す。なお、図9はパワーモジュールの実装例を示した上面図であり、図10は図9中の切断線X-Xにおける断面図を、図11は図9のパワーモジュールの回路図をそれぞれ示している。

【0003】このパワーモジュールは、図11に示すように、スイッチング素子1a～1fのそれぞれと還流ダイオード（Free Wheeling Diode）2a～2fのそれぞれとが逆並列接続された半導体装置を複数用いて構成される。なお、スイッチング素子1a～1fには、IGBT（Insulated Gate Bipolar Transistor）やパワー用バイポーラトランジスタ、パワー用MOSFET（Metal Oxide Semiconductor Field Effect Transistor）等が採用される。図11では例としてNチャネル形IGBTを採用している。

【0004】図11の回路構成を具体的に説明すると、スイッチング素子1a～1fの各電流入力電極（Nチャネル形IGBTの場合はコレクタ）が還流ダイオード2a～2fの各カソードにそれぞれ接続され、スイッチング素子1a～1fの各電流出力電極（Nチャネル形IGBTの場合はエミッタ）が還流ダイオード2a～2fの各アノードにそれぞれ接続される。そして、ノードU、V、Wにおいてそれぞれ、スイッチング素子1a、1c、1eの各電流出力電極が、スイッチング素子1b、1d、1fの各電流入力電極にそれぞれ接続される。また、スイッチング素子1a、1c、1eの各電流入力電極がノードAにおいて接続され、スイッチング素子1b、1d、1fの各電流出力電極がノードBにおいて接続される。

【0005】なお、図11では、各スイッチング素子1a～1fの各電流出力電極に、エミッターコレクタ間電流の強度を検出するためのセンス電極Sa～Sfが設けられた場合を示している。

【0006】また、ノードU、V、Wには、Y字型やΔ字型等に構成された、3つの接続端を含む三相負荷（図示せず）が接続され、ノードA、B間には直流電圧が与えられる。

【0007】スイッチング素子1a～1fの各制御電極Ga～Gf（IGBTの場合はゲート）には、PWM（Pulse Width Modulation）信号等の制御信号が制御回路（図示せず）より与えられる。この制御信号が所定のタイミングで与えられることにより、各スイッチング素子1a～1fがオン・オフして任意の周波数の交流電圧が発生し、その交流電圧がノードU、V、Wに接続された三相負荷の端子に印加される。

【0008】

【発明が解決しようとする課題】さて、図9および図10に示すように、従来のパワーモジュールでは、スイッ

チング素子1 a～1 f および還流ダイオード2 a～2 f の各チップがそれぞれ並置されて、基板4の表面に設けられた回路パターン導体層3 a, 3 b, 3 c 1, 3 c 2, 3 c 3 上にはんだ等の接合用金属材料6によって固着されている。そして、スイッチング素子1 a～1 f のそれぞれと還流ダイオード2 a～2 f との逆並列接続は、スイッチング素子1 a～1 f の電流入力電極側および還流ダイオード2 a～2 f のカソード側については各回路パターン導体層3 a, 3 b, 3 c 1, 3 c 2, 3 c 3 により行われ、電流出力電極側およびアノード側についてはボンディングワイヤ5 g, 5 i, 5 k, 5 l, 5 n, 5 p により行われる。

【0009】また、各制御電極G a～G f および各回路パターン導体層3 a, 3 c 1, 3 c 2, 3 c 3 と外部の接続も、ボンディングワイヤ5 a～5 f, 5 h, 5 j, 5 m, 5 o, 5 q により行われる。

【0010】なお、煩雑な表示を避けるため、図9においてはセンス電極S a～S f を図示していない。

【0011】上記のような構成でスイッチング素子と還流ダイオードとを実装する場合、両者を並置していることから、パワーモジュールの面積が大きくなるという問題があった。特に、スイッチング素子および還流ダイオード以外の他のディスクリート素子や制御回路などをもパワーモジュールの基板上に配置する場合、パワーモジュールの面積がさらに大きくなるため、スイッチング素子と還流ダイオードとが占める面積はできるだけ小さい方が望ましい。

【0012】また、上記の構成の場合、各電極間の接続にはボンディングワイヤを用いているが、このボンディングワイヤには例えばアルミニウム製の細線が採用される。しかし、例えば300 μ m径のアルミニウム製ワイヤの場合、9 A以上の電流を流すと溶断してしまうため、図9のようにボンディングワイヤを複数本並列に設ける必要があった。パワーモジュールの電流容量が大きくなるほど、必要なボンディングワイヤの並列本数も増加し、製造に要する時間およびコストが増大していた。

【0013】さらに、ボンディングワイヤを用いる場合、ボンディング箇所の固着の出来具合が悪いとパワーモジュールの動作信頼性に影響が出てくるので、ボンディングワイヤ以外の接続方法が求められていた。

【0014】また、上記構成のパワーモジュールでは、樹脂封入したり密封容器内に配置してパワーモジュールに外部接続端子を設ける前にチップ状態で検査を行う場合、先端が針状のプロープピンを各チップの電極に当て、そこに電流を流して行っていた。しかしプロープピンでは大電流を流すことはできず、素子の定格に見合った検査は、樹脂封入工程等の外部接続端子を設ける工程を経た後にしか行うことはできなかった。

【0015】そこで、この発明の課題は、面積の増大が抑制でき、かつ、製造に要する時間およびコストの増大

を抑制することが可能で、チップ状態で素子の定格に見合った検査を行うことができるパワーモジュールを提供することにある。

【0016】

【課題を解決するための手段】請求項1に記載の発明は、制御電極、電流入力電極および電流出力電極を有するスイッチング素子が形成され、互いに対向する第1および第2の主面を含む第1のチップと、アノード電極およびカソード電極を有するダイオードが形成され、互いに対向する第1および第2の主面を含み、前記第1のチップ上に積層された第2のチップと、前記第1のチップの前記第1の主面に固着された第1の平板状接続端子と、前記第1および第2のチップ間に挟まれ、前記第1のチップの前記第2の主面と前記第2のチップの前記第1の主面とに固着された第2の平板状接続端子と、前記第1の平板状接続端子に電気的に接続され、前記第2のチップの前記第2の主面に固着された第3の平板状接続端子とを備える半導体装置である。

【0017】請求項2に記載の発明は、請求項1に記載の半導体装置であって、前記第2の平板状接続端子、並びに、前記第1または第3の平板状接続端子は、同一方向に外方へ延在し、その一方は他方よりも長く延在し、前記一方および他方の延在部分が、少なくとも前記他方の延在する長さまでは段違い構造を呈する半導体装置である。

【0018】請求項3に記載の発明は、請求項1に記載の半導体装置であって、樹脂封入パッケージと、前記樹脂封入パッケージから外方に露出したヒートシンクとをさらに備える半導体装置である。

【0019】請求項4に記載の発明は、回路パターン導体層が形成された基板と、前記基板上に配置された、複数の請求項1ないし請求項3のいずれかに記載の半導体装置とを備え、前記複数の半導体装置のうち2つが一组を構成し、前記一组中において、一方の有する前記スイッチング素子の前記電流出力電極と、他方の有する前記スイッチング素子の前記電流入力電極とが、前記回路パターン導体層および前記第1ないし第3のいずれかの平板状接続端子を介して接続されたパワーモジュールである。

【0020】請求項5に記載の発明は、請求項4に記載のパワーモジュールであって、前記一组は複数組存在し、前記複数組中の前記一方の有する前記スイッチング素子の前記電流入力電極が互いに、前記回路パターン導体層および前記第1ないし第3のいずれかの平板状接続端子を介して接続され、前記複数組中の前記他方の有する前記スイッチング素子の前記電流出力電極が互いに、前記回路パターン導体層および前記第1ないし第3のいずれかの平板状接続端子を介して接続されたパワーモジュールである。

【0021】

【発明の実施の形態】＜実施の形態1＞本実施の形態は、一つのダイオードが形成されたチップを一つのスイッチング素子が形成されたチップ上に積層し、両チップの主面と両チップ間とに平板状の接続端子を固着することにより、面積の増大が抑制でき、かつ、製造に要する時間およびコストの増大を抑制することが可能で、チップ状態で検査を行うことができる、パワーモジュールに適用可能な半導体装置である。

【0022】図1および図2に本実施の形態に係る半導体装置M1を示す。図1は半導体装置M1の上面図であり、図2は図1中の方向Aから見た半導体装置M1の側面図である。なお、図1および図2においては樹脂封入パッケージRを破線で示し、半導体装置M1のパッケージ内部の構造が示されている。

【0023】この半導体装置M1は、図11の回路図に示したスイッチング素子1a～1fと還流ダイオード2a～2fとの逆並列接続の一群をパッケージ化したものである。ここでは例として、スイッチング素子1aと還流ダイオード2aとの組を取り上げる。

【0024】さて、図2に示すようにこの半導体装置M1においては、還流ダイオード2aが形成されたチップが、スイッチング素子1aが形成されたチップ上に積層されている。そして、還流ダイオード2aのチップのアノード側の主面と、スイッチング素子1aのチップの電流出力電極側の主面とが、導電性で平板状の接続端子Te1を介して導電性接着シート62、63により固着されている。

【0025】また、還流ダイオード2aのチップのカソード側の主面、およびスイッチング素子1aのチップの電流入力電極側の主面にもそれぞれ、導電性で平板状の接続端子Tc1、Tc2が導電性接着シート64、61によりそれぞれ固着されている。

【0026】ここで、導電性接着シート61～64はいずれも、エポキシ系樹脂に金属粉末を混ぜ合わせて生成された導電性樹脂をシート状に形成したものであり、各平板状接続端子Te1、Tc1、Tc2を、還流ダイオード2aのチップおよびスイッチング素子1aのチップに固着するために用いられる接着材料である。

【0027】さて、平板状接続端子Tc2は、スイッチング素子1aのチップと略同じ面積を有する部分と、そこから外方へ延在し、外部への接続端子として機能する延在部分とからなる。また、平板状接続端子Tc1は、還流ダイオード2aのチップと略同じ面積を有する部分と、平板状接続端子Tc2の延在部分への接続部分とからなる。この接続部分は段状に下向きに屈曲しており、樹脂封入パッケージR内の延在部分の表面の一部である接合部J1にて平板状接続端子Tc2に接続されている。

【0028】また、平板状接続端子Te1は、還流ダイオード2aのチップと略同じ面積を有する部分と、そこ

から外方へ延在し、外部への接続端子として機能する延在部分とからなる。この延在部分も段状に下向きに屈曲しており、半導体装置M1の底面と同じ高さに描えられている。なお、平板状接続端子Te1と平板状接続端子Tc2とは同一方向に外方へ延在し、それらの延在部分はともに段違い構造を呈している。

【0029】また、スイッチング素子1aのチップの電流出力電極側の主面には、制御電極Gaの領域が設けられており、この領域と平板状接続端子Tgとがボンディングワイヤ5aで接続されることによって外部からの制御信号が制御電極Gaに伝達される。

【0030】また、上記主面には制御電極Gaに加え、センス電極Saおよび平板状接続端子Te1への出力とは別個のマルチ出力用の電流出力電極Eaの領域も設けられており、これら各領域と平板状接続端子Ts、Te2とがボンディングワイヤ5aでそれぞれ接続されている。

【0031】これら平板状接続端子Tg、Ts、Te1、Te2、Tc1、Tc2は、例えば銅板を適当な形状に切り出して形成できる。なおここでは、平板状接続端子Tc1、Tc2を別個の部材としているが、平板状接続端子Tc1、Tc2を一体化した形状のものを銅板等から切り出して平板状接続端子Tc1、Tc2の代わりに用いてもよい。

【0032】またここでは、平板状接続端子Tg、Ts、Te2を、ボンディングワイヤ5aにより制御電極Ga、センス電極Saおよびマルチ出力用電流出力電極Eaに接続する構成例を示したが、ボンディングワイヤ5aを用いずに、平板状接続端子Tg、Tsをスイッチング素子1aの電流出力電極に短絡しないような形状に加工して、また、平板状接続端子Te2については、マルチ出力用電流出力電極Eaが電流出力電極に短絡していることから任意の形状に加工して、導電性接着シート61～64と同様の接着材料を用いて直接、制御電極Ga、センス電極Saおよびマルチ出力用電流出力電極Eaのそれぞれに固着させてもよい。

【0033】上記のような構成が樹脂封入パッケージRによりパッケージ化されて、半導体装置M1からは平板状接続端子Te1、Te2、Ts、Tg、Tc2のみが外部に延在する。

【0034】このように、還流ダイオード2aが形成されたチップがスイッチング素子1aが形成されたチップ上に積層されているので、スイッチング素子1aとダイオード2aとを並置して実装する場合に比べ、半導体装置の面積の増大が抑制できる。

【0035】また、両チップに平板状接続端子Te1、Tc1、Tc2が固着されているので、両チップの各電極への接続にボンディングワイヤを用いる必要がない。しかも、ボンディングワイヤに比べて広い面積で各電極への接続が行えるので、電流容量が大きくとれ、かつ、

接続を確実なものとする事ができる。よって、ボンディングワイヤの有していたデメリット（ボンディングワイヤの必要本数の増加による製造時間およびコストの増大、およびボンディング箇所の接合不良による動作信頼性の問題）が解消される。しかも、広い面積で各電極に接続していることから、動作中の放熱効果も高い。

【0036】さらに、平板状接続端子T e 1、T c 2を、そのまま外部接続端子として用いることができることから、プローブピンを用いた検査に限定されずに、樹脂封入工程を行う前にチップ状態で素子の定格に見合った大電流を平板状接続端子T e 1、T c 2間に流す検査を行うことができる。よって、樹脂封入工程を行う前に不良品の排除を行うことが可能となる。

【0037】なお、本実施の形態においては、スイッチング素子1 aのチップの電流出力電極側の主面に制御電極G a、センス電極S aおよびマルチ出力用電流出力電極E aの領域が設けられ、電流出力電極側と還流ダイオード2 aのチップのアノード側とが平板状接続端子T e 1を介して接続される構成を示したが、両チップを裏返して、制御電極G a、センス電極S aおよびマルチ出力用電流出力電極E aの領域をスイッチング素子1 aのチップの電流入力電極側の主面に設け、電流入力電極側と還流ダイオード2 aのチップのカソード側とを平板状接続端子T e 1を介して接続する構成にしてもよい。その場合は、還流ダイオード2 aのチップのアノード側に平板状接続端子T c 1が接続され、スイッチング素子1 aのチップの電流出力電極側に平板状接続端子T c 2が接続される。

【0038】なお、本実施の形態に係る半導体装置と類似した構成を採る技術が、特開2000-164800号公報に記載されている。この公報の図1によれば、スイッチング素子のチップとダイオードのチップとを積層するというアイデアは開示されているものの、両チップ間および両チップの主面を平板状接続端子で接続することが開示されておらず、本願発明とは異なる。また、この公報の図1では、最表面側のチップの主面にボンディングワイヤが接続されているが、このようにボンディングワイヤを用いると、上述したような接合不良等の問題が残り、また、半導体装置自体の小型化も阻害される。本願発明の場合は平板状接続端子を用いることから、このような問題は生じない。

【0039】＜実施の形態2＞本実施の形態は、実施の形態1にかかる半導体装置の変形例である。すなわち、本実施の形態においては、外部に延在した平板状接続端子T e 1、T c 2のうちT e 1の方をT c 2よりも長く延在させて、少なくともT c 2の延在する長さまでは、T e 1の延在部分とT c 2の延在部分とが段違い構造を呈するようにした半導体装置である。

【0040】図3および図4に本実施の形態に係る半導体装置M2を示す。図3は半導体装置M2の上面図であ

り、図4は図3中の方向Aから見た半導体装置M2の側面図である。なお、図3および図4においても樹脂封入パッケージRを破線で示し、半導体装置M2のパッケージ内部の構造が示されている。

【0041】図3および図4から分るとおり、実施の形態1にかかる半導体装置M1との違いは、平板状接続端子T e 1の延在部分の長さが平板状接続端子T c 2の延在部分の長さよりも大きく設定されている点、および、少なくとも平板状接続端子T c 2の延在する長さまでは平板状接続端子T e 1の延在部分とT c 2の延在部分とが段違い構造を呈している点、の2点である。

【0042】その他の構成は実施の形態1にかかる半導体装置M1と同様のため、説明を省略する。

【0043】このように、平板状接続端子T e 1の延在部分の長さが平板状接続端子T c 2の延在部分の長さよりも大きく設定され、少なくとも平板状接続端子T c 2の延在する長さまでは平板状接続端子T e 1の延在部分と平板状接続端子T c 2の延在部分とが段違い構造を呈しておれば、本実施の形態にかかる半導体装置M2が複数個並列に基板上に配置され、平板状接続端子T e 1、T c 2の延在部分が並列の向きと直角に延在するように配置され、半導体装置M2の並列の向きと同方向に伸びて平板状接続端子T c 2に共通接続される回路パターンが基板上に形成されている場合に、平板状接続端子T e 1の延在部分とその回路パターンと短絡することがない。なお、このことの実例については、実施の形態4において述べる。

【0044】なおここでは、平板状接続端子T c 2の延在部分は半導体装置M2の底面と同じ高さとなっているが、例えば、樹脂封入パッケージR内で平板状接続端子T c 2の延在部分を段状に上向きに屈曲させ、外方に延在する部分を半導体装置M2の底面よりも高い位置に設けてもよい。その場合も、平板状接続端子T c 2の延在部分と平板状接続端子T e 1の延在部分とが段違い構造を呈するようにしておけばよい。

【0045】＜実施の形態3＞本実施の形態も、実施の形態1にかかる半導体装置の変形例である。すなわち、本実施の形態においては、平板状接続端子T c 2の代わりに平板状接続端子T c 1を樹脂封入パッケージRから外部に延在させ、一方、平板状接続端子T e 1については、延在部分の屈曲を樹脂封入パッケージR内に収めるようにして、延在部分の高さを半導体装置M1の底面と同じに揃える。そして、外部に延在した平板状接続端子T e 1、T c 1のうちT c 1の方をT e 1よりも長く延在させて、少なくとも平板状接続端子T e 1の延在する長さまでは、平板状接続端子T c 1の延在部分とT e 1の延在部分とが段違い構造を呈するようにする。

【0046】図5および図6に本実施の形態に係る半導体装置M3を示す。図5は半導体装置M3の上面図であり、図6は図5中の方向Aから見た半導体装置M3の側

面図である。なお、図5および図6においても樹脂封入パッケージRを破線で示し、半導体装置M3のパッケージ内部の構造が示されている。

【0047】図5および図6から分かるとおり、実施の形態1にかかる半導体装置M1と異なって、平板状接続端子Te1の延在部分の屈曲が樹脂封入パッケージR内に収められ、外部への延在部分の高さが半導体装置M1の底面と同じに揃えられている。

【0048】また、平板状接続端子Tc1は、還流ダイオード2aのチップと略同じ面積を有する部分と、そこから延在し、外部への接続端子として機能する延在部分とからなる。また、平板状接続端子Tc2は、スイッチング素子1aのチップと略同じ面積を有する部分と、平板状接続端子Tc1の延在部分への接続部分とからなる。この接続部分は段状に上向きに屈曲しており、樹脂封入パッケージR内の延在部分の表面の一部である接合部J2にて平板状接続端子Tc1に接続されている。

【0049】そして、平板状接続端子Tc1の延在部分の長さが平板状接続端子Te1の延在部分の長さよりも大きく設定されている。また、少なくとも平板状接続端子Te1の延在する長さまでは平板状接続端子Tc1の延在部分とTe1の延在部分とが段違い構造を呈している。

【0050】その他の構成は実施の形態1にかかる半導体装置M1と同様のため、説明を省略する。

【0051】このように、平板状接続端子Tc1の延在部分の長さが平板状接続端子Te1の延在部分の長さよりも大きく設定され、少なくとも平板状接続端子Te1の延在する長さまでは平板状接続端子Tc1の延在部分とTe1の延在部分とが段違い構造を呈しておれば、本実施の形態にかかる半導体装置M3が複数個並列に基板上に配置され、平板状接続端子Te1、Tc1の延在部分が並列の向きと直角に延在するように配置され、半導体装置M3の並列の向きと同方向に伸びて平板状接続端子Te1に共通接続される回路パターンが基板上に形成されている場合に、平板状接続端子Tc1の延在部分とその回路パターンと短絡することがない。このことの具体例についても、実施の形態4において述べる。

【0052】なおここでは、平板状接続端子Te1のパッケージ外部の延在部分は半導体装置M3の底面と同じ高さとなっているが、外方に延在する部分を、例えば半導体装置M3の底面よりも高い位置に設けてもよい。その場合も、平板状接続端子Tc1の延在部分と平板状接続端子Te1の延在部分とが段違い構造を呈するようにしておけばよい。

【0053】＜実施の形態4＞本実施の形態は、実施の形態2および3にかかる半導体装置M2、M3を、例として図11の三相インバータのパワーモジュールに適用した場合を示すものである。

【0054】図7は本実施の形態に係るパワーモジュールを示す上面図である。図7に示すように、このパワー

モジュールにおいては、半導体装置M2、M3をそれぞれ3つずつ用いて基板4上に配置し、半導体装置M2を図11におけるスイッチング素子1a、1c、1eおよび還流ダイオード2a、2c、2eの各組に採用し、半導体装置M3を図11におけるスイッチング素子1b、1d、1fおよび還流ダイオード2b、2d、2fの各組に採用している。

【0055】なお、基板4上には、回路パターン導体層3a、3b、3c1～3c3、および、半導体装置M2、M3の平板状接続端子Tgに制御信号を与えるための制御回路7が設けられている。

【0056】さてここでは、半導体装置M2が複数個並列に基板4上に配置され、平板状接続端子Te1、Tc2の延在部分が並列の向きと直角に延在するように配置されている。そして、平板状接続端子Tc2に共通接続される回路パターン導体層3aが、半導体装置M2の並列の向きと同方向に伸びている。

【0057】半導体装置M2においては、平板状接続端子Te1の延在部分の長さが平板状接続端子Tc2の延在部分の長さよりも大きく設定され、少なくとも平板状接続端子Tc2の延在する長さまでは平板状接続端子Te1の延在部分とTc2の延在部分とが段違い構造を呈している。よって、平板状接続端子Te1の延在部分は回路パターン導体層3aを跨ぐことができ、回路パターン導体層3aと短絡することがない。

【0058】そして、スイッチング素子1aを含む半導体装置M2の平板状接続端子Te1の延在部分は回路パターン導体層3c1に接続され、スイッチング素子1cを含む半導体装置M2の平板状接続端子Te1の延在部分は回路パターン導体層3c2に接続され、スイッチング素子1eを含む半導体装置M2の平板状接続端子Te1の延在部分は回路パターン導体層3c3に接続される。

【0059】また、半導体装置M3も複数個並列に基板4上に配置され、平板状接続端子Te1、Tc1の延在部分が並列の向きと直角に延在するように配置されている。そして、平板状接続端子Te1に共通接続される回路パターン導体層3bが、半導体装置M3の並列の向きと同方向に伸びている。

【0060】半導体装置M3においては、平板状接続端子Tc1の延在部分の長さが平板状接続端子Te1の延在部分の長さよりも大きく設定され、少なくとも平板状接続端子Te1の延在する長さまでは平板状接続端子Tc1の延在部分とTe1の延在部分とが段違い構造を呈している。よって、平板状接続端子Tc1の延在部分は回路パターン導体層3bを跨ぐことができ、回路パターン導体層3bと短絡することがない。

【0061】なおここでは、半導体装置M3の平板状接続端子Tc1の延在部分を、回路パターン導体層3c2

および3c3を跨ぐ程度にまで延在させた場合を示している。

【0062】そして、スイッチング素子1bを含む半導体装置M3の平板状接続端子Tc1の延在部分は回路パターン導体層3c1に接続され、スイッチング素子1dを含む半導体装置M3の平板状接続端子Tc1の延在部分は回路パターン導体層3c2に接続され、スイッチング素子1fを含む半導体装置M3の平板状接続端子Tc1の延在部分は回路パターン導体層3c3に接続される。

【0063】ここでは、スイッチング素子1aを含む半導体装置M2とスイッチング素子1bを含む半導体装置M3とが回路パターン導体層3c1により直列接続され、スイッチング素子1cを含む半導体装置M2とスイッチング素子1dを含む半導体装置M3とが回路パターン導体層3c2により直列接続され、スイッチング素子1eを含む半導体装置M2とスイッチング素子1fを含む半導体装置M3とが回路パターン導体層3c3により直列接続されている。

【0064】このように、半導体装置M2の一つと半導体装置M3の一つとが一組を構成し、その一組中において、一方の有するスイッチング素子の電流出力電極と、他方の有するスイッチング素子の電流入力電極とが、回路パターン導体層および平板状接続端子を介して接続されることにより、一組のハーフブリッジ回路が構成される。ハーフブリッジ回路が構成できれば、パワーモジュールをインバータとして利用することができる。

【0065】また、実施の形態2および3にかかる半導体装置を用いるので、面積の増大が抑制でき、かつ、製造に要する時間およびコストの増大を抑制することが可能で、チップ状態で検査を行うことができるパワーモジュールを実現することができる。

【0066】なお、本実施の形態では図11の三相インバータを例として採用したため、ハーフブリッジ回路が3組設けられて、半導体装置M2のスイッチング素子の電流入力電極が互いに回路パターン導体層3aおよび平板状接続端子Tc2を介して接続され、半導体装置M3のスイッチング素子の電流出力電極が互いに回路パターン導体層3bおよび平板状接続端子Te1を介して接続されている。

【0067】このようにハーフブリッジ回路を複数組設け、それぞれを並列接続すれば多相インバータを構成可能である。また、ハーフブリッジ回路を2組並列接続すれば、単相フルブリッジ回路が構成可能であるし、ハーフブリッジ回路を1組用いるだけでも、単相ハーフブリッジ回路が構成可能である。

【0068】＜実施の形態5＞本実施の形態は、実施の形態1にかかる半導体装置の変形例である。すなわち、本実施の形態においては、樹脂封入パッケージから外方に露出するヒートシンクをさらに設ける。

【0069】図8に本実施の形態に係る半導体装置M4の側面図を示す。図8から分かるとおり、実施の形態1にかかる半導体装置M1との違いは、平板状接続端子Tc1の上部近傍に樹脂封入パッケージRから半導体装置M4の外方に露出するヒートシンクHSを設けている点のみである。

【0070】その他の構成は実施の形態1にかかる半導体装置M1と同様のため、説明を省略する。

【0071】この半導体装置M4が、実施の形態4に係るパワーモジュールに適用される場合のように基板上に配置されたとき、基板側に近い平板状接続端子Tc2は基板を介して放熱することが可能である。一方、基板から遠くなる側の平板状接続端子Tc1については、平板状接続端子Tc2に接続されるものの、放熱が充分行われるとは限らない。

【0072】よって、図8のように基板から遠くなる側の平板状接続端子Tc1の近傍にヒートシンクHSを設けることにより、放熱効果を高めることができる。

【0073】なお、図8においては、ヒートシンクHSを平板状接続端子Tc1には接触させずに樹脂封入パッケージR内に固定しているが、ヒートシンクHSを平板状接続端子Tc1に接触させるようにしてもよい。ユーザがヒートシンクHSに接触する可能性があるときには、図8のようにヒートシンクHSを平板状接続端子Tc1から絶縁させておく方が安全であるが、ユーザがヒートシンクHSに接触する可能性がない場合には、ヒートシンクHSを平板状接続端子Tc1に接触させて放熱効果を高めればよい。

【0074】なおもちろん、本実施の形態において示したヒートシンクHSは、実施の形態2および3にかかる半導体装置M2、M3にも適用可能であり、その結果当然に、実施の形態4にかかるパワーモジュールにも適用される。

【0075】

【発明の効果】請求項1に記載の発明によれば、ダイオードが形成された第2のチップがスイッチング素子が形成された第1のチップ上に積層されているので、スイッチング素子とダイオードとを並置して実装する場合に比べ、半導体装置の面積の増大が抑制できる。また、第1および第2のチップに第1ないし第3の平板状接続端子が固着されているので、第1および第2のチップへの接続にボンディングワイヤを用いる必要がない。しかも、ボンディングワイヤに比べて広い面積で各電極への接続が行えるので、電流容量が大きくとれ、かつ、接続を確実なものとすることができる。よって、ボンディングワイヤの有していたデメリットが解消される。しかも、広い面積で各電極に接続していることから、動作中の放熱効果も高い。さらに、第1ないし第3の平板状接続端子を、そのまま外部接続端子として用いることができることから、プローブピンを用いた検査に限定されずに、チ

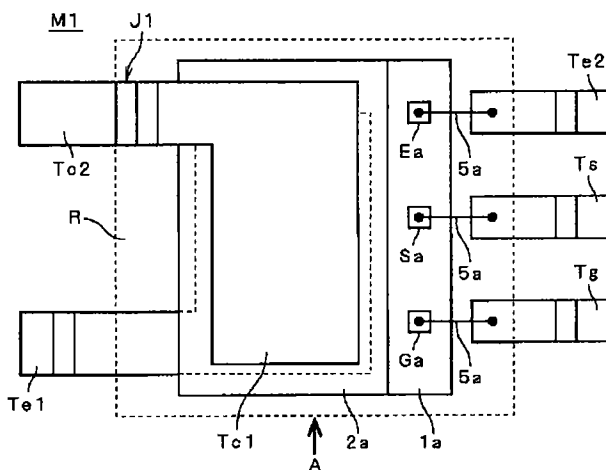
ップ状態で素子の定格に見合った大電流を流す検査を行うことができる。よって、パッケージ工程を行う前に不良品の排除を行うことが可能となる。

【0076】請求項2に記載の発明によれば、第2の平板状接続端子、並びに、第1または第3の平板状接続端子のうち、一方が他方よりも長く延在し、一方および他方の延在部分が、少なくとも他方の延在する長さまでは段違い構造を呈するので、本請求項にかかる半導体装置が複数個並列に基板上に配置され、端子の延在部分が並列の向きと直角に延在するように配置され、半導体装置の並列の向きと同方向に伸びて前記他方の端子に共通接続される回路パターンが基板上に形成されている場合に、一方の延在部分がその回路パターンと短絡することがない。

【0077】請求項3に記載の発明によれば、樹脂封入パッケージから外方に露出したヒートシンクをさらに備えるので、本請求項にかかる半導体装置が基板上に配置されたときに基板から遠くなる側の平板状接続端子の近傍にヒートシンクを設けて、放熱効果を高めることができる。

【0078】請求項4に記載の発明によれば、半導体装置が2つで一組を構成し、前記一組中において、一方の有するスイッチング素子の電流出力電極と、他方の有するスイッチング素子の電流入力電極とが、回路パターン導体層および第1ないし第3のいずれかの平板状接続端子を介して接続されるので、前記一組によってハーフブリッジが構成でき、本請求項に係るパワーモジュールを利用することができる。また、請求項1ないし請求項3のいずれかに記載の半導体装置を用いるので、面積の増大が抑制でき、かつ、製造に要する時間およびコストの増大を抑制することが可能で、チップ状態で検査を行うことができるパワーモジュールを実現することができる。

【図1】



【0079】請求項5に記載の発明によれば、複数組同士が並列接続されているので、本請求項に係るパワーモジュールを例えば三相インバータとして利用することができる。

【図面の簡単な説明】

【図1】 実施の形態1に係る半導体装置を示す上面図である。

【図2】 実施の形態1に係る半導体装置を示す側面図である。

【図3】 実施の形態2に係る半導体装置を示す上面図である。

【図4】 実施の形態2に係る半導体装置を示す側面図である。

【図5】 実施の形態3に係る半導体装置を示す上面図である。

【図6】 実施の形態3に係る半導体装置を示す側面図である。

【図7】 実施の形態4に係るパワーモジュールを示す上面図である。

【図8】 実施の形態5に係る半導体装置を示す側面図である。

【図9】 従来のパワーモジュールを示す上面図である。

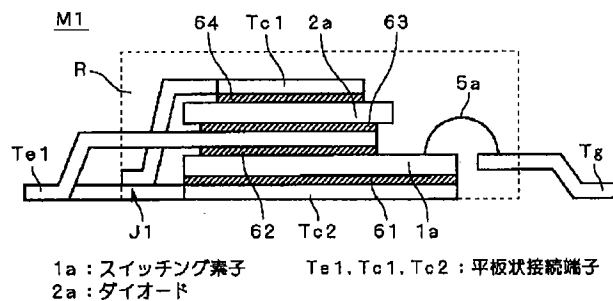
【図10】 従来のパワーモジュールを示す断面図である。

【図11】 従来のパワーモジュールの回路図である。

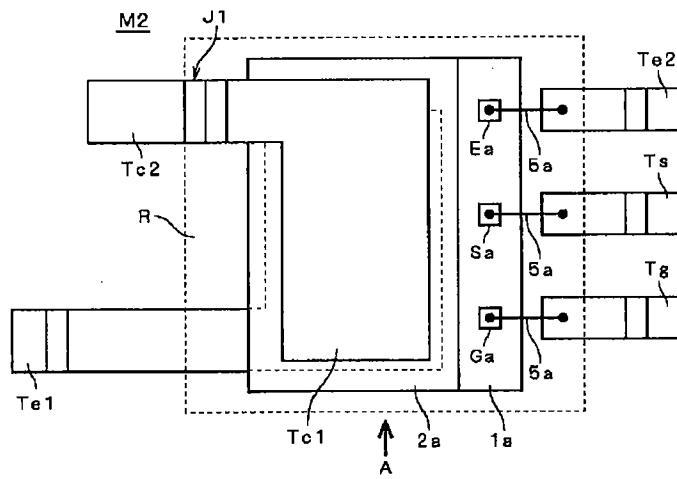
【符号の説明】

Tc1, Tc2, Tg, Te1, Te2, Ts 平板状接続端子、1a~1f スwitchング素子、2a~2f 還流ダイオード、3a, 3b, 3c1, 3c2, 3c3 回路パターン導体層、4 基板、5a ボンディングワイヤ、61~64 導電性接着シート、7 制御回路。

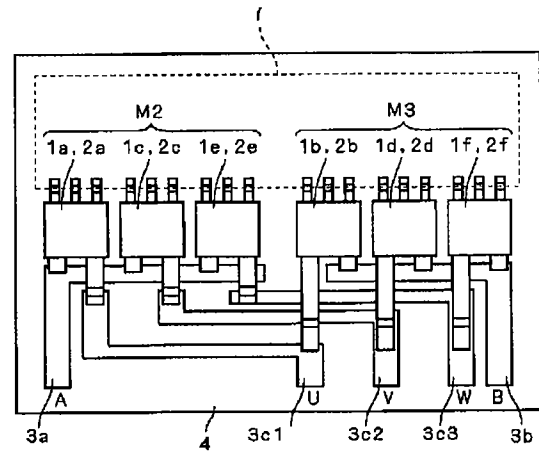
【図2】



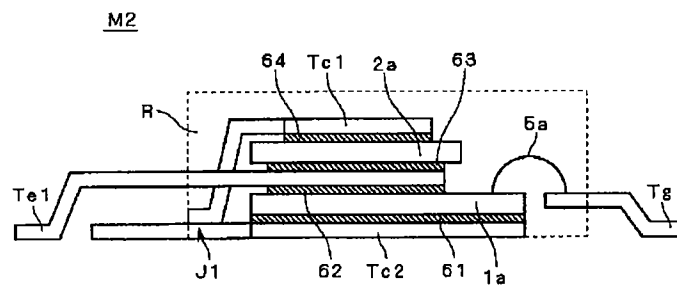
【図3】



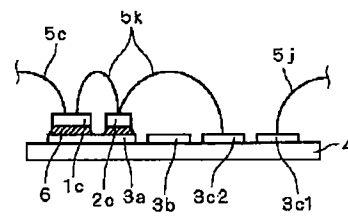
【図7】



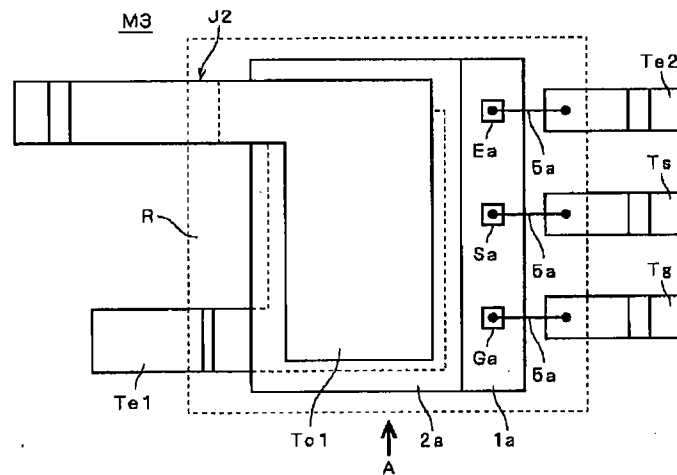
【図4】



【図10】



【図5】



【図11】

